

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-227557

(43)Date of publication of application : 17.08.1992

(51)Int.Cl.

G06F 13/16

G06F 13/36

G06F 13/40

(21)Application number : 03-105536

(71)Applicant : HITACHI LTD

(22)Date of filing : 10.05.1991

(72)Inventor : OKAZAWA KOICHI  
MOCHIDA TETSUYA  
KIMURA KOICHI  
KAWAGUCHI HITOSHI  
YUNO KAZUHARU  
KOBAYASHI ICHIRI

(30)Priority

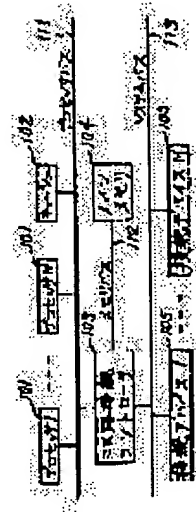
Priority number : 02144301    Priority date : 04.06.1990    Priority country : JP

## (54) BUS SYSTEM FOR INFORMATION PROCESSING UNIT

(57)Abstract:

**PURPOSE:** To maximize the use efficiency of three kinds of bus, i.e., a system bus, a memory bus, and a processor bus.

**CONSTITUTION:** The processor bus 111 where processors 101 are connected, the memory bus 112 where a main memory 104 is connected, and the system bus 113 where input/output devices 105 are connected are connected to a three-forked line connection control means 103. The respective address buses and control buses of the processor bus 111, memory bus 112, and system bus 113 are connected to the three-forked line connection control means 103 to transfer addresses and control signals mutually and a bus memory connection controller which generates a data bus control signal is provided. Further, the data buses of the processor bus, memory bus, and system bus are connected to the three-forked line connection control means 103, which has a data bus switch for mutually transferring data on those data buses according to a data bus control signal.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

**BEST AVAILABLE COPY**

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-227557

(43) 公開日 平成4年(1992)8月17日

| (51) Int.Cl. <sup>8</sup> | 識別記号    | 庁内整理番号  | F I | 技術表示箇所 |
|---------------------------|---------|---------|-----|--------|
| G 0 6 F 13/16             | 5 1 0   | 8841-5B |     |        |
| 13/36                     | 5 2 0 D | 7052-5B |     |        |
| 13/40                     | 3 1 0   | 7052-5B |     |        |

審査請求 未請求 請求項の数20(全 14 頁)

(21) 出願番号 特願平3-105536

(22) 出願日 平成3年(1991)5月10日

(31) 優先権主張番号 特願平2-144301

(32) 優先日 平2(1990)6月4日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 岡澤 宏一

神奈川県横浜市戸塚区吉田町292番地株式

会社日立製作所マイクロエレクトロニクス

機器開発研究所内

(72) 発明者 持田 哲也

神奈川県横浜市戸塚区吉田町292番地株式

会社日立製作所マイクロエレクトロニクス

機器開発研究所内

(74) 代理人 弁理士 小川 勝男

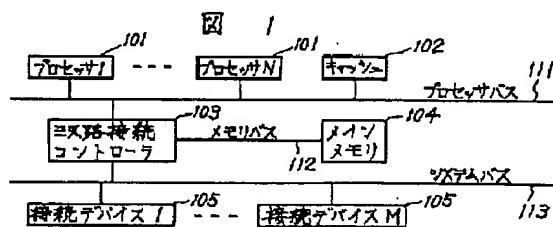
最終頁に続く

(54) 【発明の名称】 情報処理装置用バスシステム

(57) 【要約】 (修正有)

【目的】 システムバス、メモリバス、プロセッサバスの三種の各バスの使用効率を最大とする。

【構成】 プロセッサ101が接続されたプロセッサバス111と、メインメモリ104が接続されたメモリバス112と、入出力デバイス105が接続されたシステムバス113とが三叉路接続コントロール手段103に接続される。この三叉路接続コントロール手段103には、プロセッサバス111、メモリバス112、システムバス113のそれぞれのアドレスバスと制御バスが接続され、相互にアドレス及び制御信号を転送すると共に、データバス制御信号を発生するバス・メモリ接続コントローラを有する。又、この三叉路接続コントロール手段103には、プロセッサバス、メモリバス、システムバスのそれぞれのデータバスが接続され、データバス制御信号に応じてこれらのデータバス上のデータを相互に転送するデータバススイッチを有する。



## 【特許請求の範囲】

【請求項1】 情報処理装置のバスシステムであって、少なくとも一つのプロセッサが接続されたプロセッサバスと、主記憶メモリに接続されたメモリバスと、少なくとも一つの前記接続デバイスが接続されたシステムバスと、該プロセッサバス、該メモリバス、該システムバスのそれぞれのコントロールバス及びアドレスバスが接続され、データバス制御信号を発生すると共に、前記プロセッサバス、前記メモリバス、前記システムバスの少なくとも一つにコントロール信号、アドレス信号を発生する接続  
10 コントローラと、前記プロセッサバス、前記メモリバス、前記システムバスのそれぞれのデータバスが接続され、該接続コントローラからの該データバス制御信号に基づき、前記プロセッサバス、前記メモリバス、前記システムバスの一つの該データバス上のデータを前記プロセッサバス、前記メモリバス、前記システムバスの他の一つの前記データバス上に直接転送するためのデータスイッチ手段とからなることを特徴とする情報処理装置用バスシステム。

【請求項2】 前記データスイッチ手段は前記プロセッサバス、前記メモリバス、前記システムバスのそれぞれの前記データバス上の該データをラッチするラッチ手段と、前記プロセッサバス、前記メモリバス、前記システムバスのそれぞれに対応して設けられ、自己以外の二つの該ラッチ手段の出力を選択する第一のセレクト手段と、前記データバス制御信号が入力され、前記データバス制御信号に応じて、該第一のセレクト手段のセレクト信号を発生する第一の発生手段とからなることを特徴とする請求項1記載の情報処理装置用バスシステム。

【請求項3】 前記接続コントローラは、前記プロセッサバス及び前記システムバスのそれぞれの前記アドレスバス上に送出されてきたアドレス信号を選択し、前記メモリバスの前記アドレスバスに送出する第二のセレクト手段と、前記プロセッサバス及び前記システムバスのそれぞれの前記コントロールバス及び前記アドレスバス上に送出されてきたコントロール信号及び該アドレス信号が入力され、少なくとも前記データバス制御信号、該第二のセレクト手段のセレクト信号、及び前記メモリバスの前記コントロールバスに送出する前記コントロール信号を発生する第二の発生手段とからなることを特徴とする  
40 請求項1記載の情報処理装置用バスシステム。

【請求項4】 前記プロセッサバスには少なくとも一つのキャッシュメモリシステムが接続されていることを特徴とする請求項1記載の情報処理装置用バスシステム。

【請求項5】 前記プロセッサバスに接続された前記プロセッサにキャッシュメモリシステムが接続されていることを特徴とする請求項1記載の情報処理装置用バスシステム。

【請求項6】 前記プロセッサバス、前記メモリバス、前記システムバスのそれぞれがアドレス・データ分離型バ  
50

スであることを特徴とする請求項1記載の情報処理装置用バスシステム。

【請求項7】 前記プロセッサバス、前記メモリバス、前記システムバスのそれぞれがアドレス・データ多重型バスであることを特徴とする請求項1記載の情報処理装置用バスシステム。

【請求項8】 少なくともプロセッサ、メインメモリ、入出力デバイスを有する情報処理装置のバスシステムであって、少なくとも一つの前記プロセッサが接続されたプロセッサバスと、該メインメモリに接続されたメモリバスと、少なくとも一つの前記入出力デバイスが接続されたシステムバスと、該プロセッサバス、該メモリバス、該システムバスのそれぞれのコントロールバス及びアドレスバスが接続され、前記プロセッサバス、前記メモリバス、前記システムバスのそれぞれのデータバス上のデータのバス切り替え用のデータバス制御信号を発生すると共に、前記プロセッサバス、前記メモリバス、前記システムバスの少なくとも一つにコントロール信号、アドレス信号を発生する接続コントローラと、前記プロセッサバス、前記メモリバス、前記システムバスのそれぞれの該データバスが接続され、該接続コントローラからの該データバス制御信号に基づき、前記プロセッサバス、前記メモリバス、前記システムバスの一つの前記データバス上の前記データを、他の一つの前記データバス上に転送するためのデータスイッチ手段とからなることを特徴とする情報処理装置用バスシステム。

【請求項9】 前記データスイッチ手段は前記プロセッサバス、前記メモリバス、前記システムバスのそれぞれの前記データバス上の前記データをそれぞれラッチするラッチ手段と、前記プロセッサバス、前記メモリバス、前記システムバスのそれぞれに対応して設けられ、自己以外の二つの該ラッチ手段の出力を選択する第一のセレクト手段と、前記データバス制御信号が入力され、前記データバス制御信号に応じて、該第一のセレクト手段のセレクト信号を発生する第一の発生手段とからなることを特徴とする請求項8記載の情報処理装置用バスシステム。

【請求項10】 前記接続コントローラは、前記プロセッサバス及び前記システムバスのそれぞれの前記アドレスバス上に送出されてきたアドレス信号を選択し、前記メモリバスの前記アドレスバスに送出する第二のセレクト手段と、前記プロセッサバス及び前記システムバスの前記コントロールバス及び前記アドレスバス上に送出されてきた少なくともコントロール信号が入力され、前記データバス制御信号及び該第二のセレクト手段のセレクト信号を発生する第二の発生手段とからなることを特徴とする請求項8記載の情報処理装置用バスシステム。

【請求項11】 前記接続コントローラは、前記データバス制御信号に基づき、前記プロセッサバスと前記メモリバスの連動動作を行うことを特徴とする請求項8記載の

3

情報処理装置用バスシステム。

【請求項12】前記接続コントローラは、前記データバス制御信号に基づき、前記システムバスと前記メモリバスの連動動作を行うことを特徴とする請求項8記載の情報処理装置用バスシステム。

【請求項13】プロセッサ、メインメモリ、入出力デバイスを含む情報処理装置のバスシステムにおいて、少なくとも一つの該プロセッサが接続されたプロセッサバスと、該メインメモリに接続されたメモリバスと、少なくとも一つの該入出力デバイスが接続されたシステムバスと、該プロセッサバス、該メモリバス、該システムバスのそれぞれが接続され、前記プロセッサバスと前記システムバス上のコントロール信号及びアドレス信号に基づき、前記プロセッサバス、前記メモリバス、前記システムバスのそれぞれのデータバス上のデータのバスを切り替えるためのデータバス制御信号を発生すると共に、該データバス制御信号に基づき、前記プロセッサバス、前記メモリバス、前記システムバスの一つの前記データバス上の前記データを、他の一つの前記データバス上に転送する接続コントロール手段とからなることを特徴とする情報処理装置用バスシステム。

【請求項14】前記接続コントロール手段は、前記プロセッサバス、前記メモリバス、前記システムバスのそれぞれの前記データバスが接続され、前記データバス制御信号に基づき、前記プロセッサバス、前記メモリバス、前記システムバスの一つの前記データバス上の前記データを、他の一つの前記データバス上に転送するためのデータスイッチ手段を有することを特徴とする請求項13記載の情報処理装置用バスシステム。

【請求項15】前記接続コントロール手段は、前記プロセッサバスと前記システムバスのそれぞれの前記アドレス信号を選択し、前記メモリバスの前記アドレスバスに送出するセレクト手段を有することを特徴とする請求項14記載の情報処理装置用バスシステム。

【請求項16】前記接続コントロール手段は、前記プロセッサバスと前記システムバス上の前記コントロール信号及び前記アドレス信号が入力され、前記データバス制御信号と、前記セレクト手段のセレクト信号を発生する発生手段を有することを特徴とする請求項15記載の情報処理装置用バスシステム。

【請求項17】前記プロセッサバスには少なくとも一つのキャッシュメモリシステムが接続されていることを特徴とする請求項13記載の情報処理装置用バスシステム。

【請求項18】前記プロセッサバスに接続された前記プロセッサにキャッシュメモリシステムが接続されていることを特徴とする請求項13記載の情報処理装置用バスシステム。

【請求項19】前記プロセッサバス、前記メモリバス、前記システムバスのそれぞれがアドレス・データ分離型バスであることを特徴とする請求項13記載の情報処理

4

装置用バスシステム。

【請求項20】前記接続コントロール手段には、前記プロセッサバスとは別の、少なくとも一個のプロセッサが接続された第二のプロセッサバスが接続されていることを特徴とする請求項13記載の情報処理装置用バスシステム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ワークステーション、パーソナルコンピュータ、ワードプロセッサ等の情報処理装置に使用されるバスシステムに関する。

【0002】

【従来の技術】情報処理装置内のバスシステムは従来、バイト、14巻、12号(1989)、第417頁〜424頁、(BYTE, Volume 14, Number 12 (1989), pp. 417~424)のL. Brett Glass, "INSIDE EISA"に述べられているバスシステムのように、メモリバスとシステムバスが個々にプロセッサバスに接続されているか、又はプロセッサバスとメモリバスが個々にシステムバスに接続されている構成となっていた。

【0003】

【発明が解決しようとする課題】前者は、システムバスとメモリバスが連動動作するいわゆるダイレクトメモリアクセス(Direct Memory Access, 以下DMA)の際に、プロセッサバスが独立動作ができないため、プロセッサバスの使用効率が悪くなる。一方、後者は、プロセッサバスとメモリバスが連動動作する、いわゆるメインメモリアクセスの際にシステムバスが独立動作できないため、システムバスの使用効率が悪くなるという問題があった。

【0004】なお、これらの従来のバスシステムの構成と問題点については、後に図面を用いて詳述する。

【0005】本発明の目的は各バスの使用効率を最大とする情報処理装置のバスシステムを提供することにある。

【0006】本発明の他の目的はプロセッサバスとメモリバスの連動動作とシステムバスの独立動作を同時に行うことが可能なバスシステムを提供することにある。

【0007】本発明の更なる目的はシステムバスとメモリバスの連動動作とプロセッサバスの独立動作を同時に行うことが可能なバスシステムを提供することにある。

【0008】本発明の更なる他の目的は、システムバス、メモリバス、プロセッサバスの3種のバスが少なくとも3本以上相互接続される場合の、各バスの使用効率を最大とする情報処理装置用バスシステムを提供することにある。

【0009】

【課題を解決するための手段】上記目的を達成するため、本発明においては、プロセッサバス、メモリバス、

システムバスの3種のバスを少なくとも三叉路状に接続し、3種のバスのうち、任意の2種を連動動作している間、他の1種のバスが独立動作可能な構成とする。

【0010】すなわち、本発明においては、少なくとも一個のプロセッサが接続されたプロセッサバス、メインメモリに接続されたメモリバス、少なくとも一個の入出力デバイス（以下I/Oデバイス）などの接続デバイスが接続されたシステムバスの3種のバスを少なくとも三叉路接続するコントロール手段を設け、このコントロール手段により、各種のバスの相互接続を可能とする。

【0011】すなわち、本発明においては、情報処理装置のバスシステムを、少なくとも一個のプロセッサが接続されたプロセッサバスと、メインメモリに接続されたメモリバスと、少なくとも一個の接続デバイスが接続されたシステムバスと、これら3種のバスが接続され、これら3種のバスの相互接続のための接続コントロール手段とで構成する。

【0012】本発明では、この接続コントロール手段は、三種のバスのそれぞれのデータバスが接続され、これらバス上のデータを相互に転送するデータバススイッチング手段と、三種のバスのそれぞれの制御バスとアドレスバスが接続され、これらバス上のコントロール信号及びアドレスを相互に転送すると共に、データバススイッチング手段へのデータバス制御信号を発生するバス・メモリ接続コントローラから構成される。

【0013】好適にはこのデータバススイッチング手段とバス・メモリ接続コントローラはそれぞれ単独に、あるいは一体として、一つの集積回路上に構成される。

【0014】更に、本発明においては、三種のバスはそれぞれ一本でなく、三種のバスのいずれかが複数本の場合においても同様に接続コントロール手段を構成し、これらのバスの相互接続を可能とすることができる。

【0015】上述した本発明の構成において、プロセッサバス、メモリバス、システムバスの3種のバスが少なくとも三叉路状に相互に接続されることにより、例えばプロセッサバス上のプロセッサからメモリバス上の主記憶メモリへアクセスするプロセッサメインメモリアクセスの場合に、データはプロセッサバスとメモリバスのみ介して転送され、システムバスを経由しないため、システムバスは独立に動作することが可能となる。一方、システムバス上の接続デバイスからメモリバス上の主記憶メモリへアクセスするDMAの場合、データはシステムバスとメモリバスのみ介して転送され、プロセッサバスを経由しないので、プロセッサバスは独立して動作することが可能となる。

【0016】これにより、3種のバスの使用効率を最大限に高めることができる。

【0017】

【実施例】以下、本発明の実施例を図面を用いて詳述する。

【0018】まず、本発明の第一の実施例を図1～図6を用いて説明する。このうち、図2、図3は従来技術におけるバスシステムの構成図を示すが、本発明との比較のためここで詳述する。

【0019】図1、図2、図3において、共通して、101はN個（Nは整数）のプロセッサ、102はキャッシュメモリシステム（cache）、104はメインメモリ（main memory）、105はM個（Mは整数）のシステムバス接続デバイスである。システムバス接続デバイス105としては、ディスク・ファイル系コントローラ、描画・表示系コントローラ、ネットワーク・通信系コントローラ等のいわゆる入出力（I/O）デバイスを示す。111はプロセッサバス、112はメモリバス、113はシステムバスである。そして、図1における103は三叉路接続コントローラであり、図2、図3における201、301はバス接続コントローラ、202、302はメモリ接続コントローラである。

【0020】図2、図3に示した従来のバスシステムにおいて、図2ではシステムバス113とメモリバス112が各々バス接続コントローラ201とメモリ接続コントローラ202によって、プロセッサバス111に独立に接続される構成となっている。一方、図3ではプロセッサバス111とメモリバス112が各々バス接続コントローラ301とメモリ接続コントローラ302によってシステムバス113に独立に接続される構成となっている。

【0021】図2の構成においては、システムバス113の接続デバイス105とメモリバス112上のメインメモリとの間でデータ転送を行うDMA動作において、プロセッサバス111を経由する。そのため、プロセッサ101とキャッシュ102間、あるいは複数のプロセッサ101間のデータ転送等のプロセッサバス111の独立動作をDMA動作と同時に行うことができない。一方、図3の構成においては、プロセッサ101とメインメモリ104との間でデータ転送が行われる、所謂、プロセッサメインメモリアクセスにおいて、システムバス113を経由することになるため、複数のシステムバス接続デバイス105間のデータ転送等のシステムバス113の独立動作をプロセッサメインメモリアクセスと同時に行うことができない。

【0022】これに対し、本発明の第一の実施例である図1のバスシステムでは、プロセッサバス111、メモリバス112及びシステムバス113の3種のバスが、三叉路接続コントローラ103により、三叉路状に接続された構成を有する。従って、DMA動作の場合、プロセッサバス111を経由しないので、プロセッサバス111の独立動作をDMA動作と同時に実行することができる。又、プロセッサメインメモリアクセスの場合、システムバス113を経由しないので、システムバス113の独立動作をプロセッサメインメモリアクセスと同時に

7

に実行することができる。これにより、DMA、プロセッサメインメモリアクセスの場合にも、三種のバスの使用効率を最大にすることができる。

【0023】以下、図1に示した本発明の第1の実施例のバスシステムと図2、図3に示した従来のバスシステムの性能評価の一例について述べ、本発明の第一の実施例の効果を定量的に説明する。

【0024】図1、図2、図3のバスシステムにおいて、プロセッサバス111の最大データスループットを400メガバイト/秒、メモリバス112の最大データスループットを400メガバイト/秒、システムバス113の最大データスループットを200メガバイト/秒とする。又、プロセッサバス111におけるメインメモリアクセスの比率を40%、システムバス113におけるDMAの比率を70%、バス接続コントローラ201及び301の最大バス獲得比率を50%とする。以上の条件で、プロセッサバス111とシステムバス113が共に最大データスループットで動作しようとした場合の各バスシステムの性能評価は下記のとおりである。

【0025】まず、図2の従来のバスシステムでは、システムバス113が最大スループットの200メガバイト/秒で動作しようすると、その70%である140メガバイト/秒のDMAの要求がバス接続コントローラ201に送られる。バス接続コントローラ201は、プロセッサバス111について、400メガバイト/秒の50%である200メガバイト/秒までバス獲得が可能であるため、140メガバイト/秒のDMA要求全てを獲得する。この結果、システムバス113は200メガバイト/秒で動作できるが、プロセッサバス111はDMA要求のため、実質的に $(400 - 140) = 260$ メガバイト/秒でしか動作できない。このとき、プロセッサメインメモリアクセスは、260メガバイト/秒の40%である104メガバイト/秒になる。従って、メモリバス112への要求は $(140 + 104) = 254$ メガバイト/秒となり、メモリバス112はこの要求に対応可能となる。以上をまとめると、図2の従来のバスシステムにおける三種のバスの使用効率は、プロセッサバス111が $260 / 400 = 65\%$ 、メモリバス112が $254 / 400 = 63.5\%$ 、システムバス113が $200 / 200 = 100\%$ となる。

【0026】次に、図3の従来のバスシステムでは、プロセッサバス111が最大スループットの400メガバイト/秒で動作しようすると、その40%の160メ

8

\*ガバイト/秒のメインメモリアクセス要求がバス接続コントローラ301に送られる。バス接続コントローラ301は、システムバス113について、200メガバイト/秒の50%の100メガバイト/秒までしかバスを獲得できない。従って、プロセッサメインメモリアクセスは100メガバイト/秒しか処理されず、その結果プロセッサバス111は、100メガバイト/秒が40%となる、250メガバイト/秒でしか動作できない。またこのときシステムバス113は、実質的に $(200 - 100) = 100$ メガバイト/秒で動作する。従って、DMA要求は100メガバイト/秒の70%である70メガバイト/秒になる。この結果、メモリバス112への要求は $(100 + 70) = 170$ メガバイト/秒となり、メモリバス112はこの要求に対応可能である。以上まとめると、図3の従来のバスシステムにおける三種のバスの使用効率は、プロセッサバス111が $250 / 400 = 62.5\%$ 、メモリバス112が $170 / 400 = 42.5\%$ 、システムバス113が $100 / 200 = 50\%$ となる。

【0027】これに対し、本発明の第1の実施例である図1のバスシステムにおいては、プロセッサバス111が400メガバイト/秒で動作しようすると、その40%の160メガバイト/秒のメインメモリアクセス要求が、三叉路接続コントローラ103に送られる。又、システムバス113が200メガバイト/秒で動作しようすると、その70%の140メガバイトのDMA要求が、それぞれ三叉路接続コントローラ103に送られる。三叉路接続コントローラ103はプロセッサメインメモリアクセス要求とDMA要求を合わせて、 $(160 + 140) = 300$ メガバイト/秒の要求をメモリバス112に送り、メモリバス112はこの要求に応じられる。従って、プロセッサバス111は400メガバイト/秒で、システムバス113は200メガバイト/秒で動作することができる。以上により、図1に示した本発明の第1の実施例のバスシステムにおける三種のバスの使用効率は、プロセッサバスが $400 / 400 = 100\%$ 、メモリバス112が $300 / 400 = 75\%$ 、システムバス113が $200 / 200 = 100\%$ となる。

【0028】以上の結果を第1表に示した。表1に明らかなように、本発明による図1のバスシステムでは、三種のバスの使用効率が最大になることが理解される。

【0029】☆

【表1】

|                 | 図1    | 図2     | 図3     |
|-----------------|-------|--------|--------|
| プロセッサバス111の使用効率 | 100 % | 65 %   | 62.5 % |
| メモリバス112の使用効率   | 75 %  | 63.5 % | 42.5 % |
| システムバス113の使用効率  | 100 % | 100 %  | 50 %   |

★さて、本発明の具体的な構成を示す実施例に先立ち、図7、図8を用いて本発明の第2、第3の実施例であるバスシステムについて説明する。

【0030】図7、図8において、701及び703は個別のキャッシュメモリシステム(Cache)を接続できる単独構成型プロセッサ1~N、801は個別のキャッ

シュメモリシステムを接続できるN個のマルチ構成型プロセッサである。711及び712は、各々単独構成型プロセッサ701、703と四叉路接続コントローラ705を接続するプロセッサバス、705はプロセッサバス711、712、メモリバス112及びシステムバス113を接続する四叉路接続コントローラである。又、702、704及び802は、各々プロセッサ701、703及び801に個別に接続されるキャッシュメモリシステムである。なお、システムバス接続デバイス105は、先の実施例と同様のI/Oデバイスである。

【0031】図7に示す本発明の第2の実施例において、2本のプロセッサバス711、712、メモリバス112及びシステムバス113の三種4本のバスが、四叉路接続コントローラ705によって、四叉路状に接続されている。プロセッサ701及び703は個別のキャッシュメモリシステム702及び704を接続できる単独構成型プロセッサである。このため、プロセッサ701及び703は、各々の個別キャッシュメモリ702及び704へは、プロセッサバスを介さずに直接アクセスすることができるが、プロセッサバスを共有することはできない。

【0032】図7において、四叉路接続コントローラ705は、三種4本のバスの接続制御を行うことにより、プロセッサ701、703間の通信を、DMAと並行して行ったり、あるいはプロセッサ701によるメインメモリアクセスと、プロセッサ702によるシステムバスアクセスを並行して行う等の動作を可能としている。これにより、本実施例においても先の実施例同様、三種4本のバスの使用効率を最大にすることができる。

【0033】図8は、図1に示した第1の実施例同様、プロセッサバス111、メモリバス112及びシステムバス113の三種のバスが、三叉路接続コントローラ103により、三叉路上に接続された構成を有する。プロセッサ801は個別のキャッシュメモリシステム(cache)を接続できるマルチ構成型プロセッサである。このため、プロセッサ801の各々は、個別キャッシュメモリ802へはプロセッサバスを介さずにアクセスでき、又、プロセッサバス111を共有することができる。更に、図8の本発明の第3の実施例のバスシステムでは、図1と同様に、DMAとプロセッサバス111の独立動作を並行して行う、あるいはプロセッサバス111からのメインメモリアクセスとシステムバス113の動作を並行して行う等の動作が可能であり、これにより第1の実施例と同様に三種3本のバスの使用効率を最大にすることができる。

【0034】続いて上述した本発明の実施例の要部の具体的実施例を図4、図5、図6を用いて詳述する。特に図1、図7に示した第一、第三の実施例の三叉路接続コントローラ103の詳細構成を説明するが、図7に示した四叉路接続コントローラ705についても同様に構成

できる。

【0035】さて、図4は三叉路接続コントローラ103の2個の集積回路による構成図を示している。図4において、三叉路接続コントローラ103には、プロセッサバス111、メモリバス112、システムバス113が接続されている。これらのバスは、各々、アドレスバス411、414、417、制御バス412、415、418、データバス413、416、419によって構成される。本実施例において、三叉路接続コントローラ103は2個の集積回路、すなわちバス・メモリ接続コントローラ401、データバススイッチ402によって構成される。但し、三叉路接続コントローラ103は、1個あるいは3個以上の集積回路によって構成することもできる。

【0036】データバススイッチ402は、プロセッサデータバス413、メモリデータバス416、システムデータバス419の3種のデータバスを三叉路状に接続する。そして、バス・メモリ接続コントローラ401から出力されるデータバス制御信号420に従って、3種のデータバス413、416、419の接続、切離し、及びデータ入出力方向の制御を行う。一方、バス・メモリ接続コントローラ401は、プロセッサアドレスバス411、プロセッサ制御バス412、システムアドレスバス417、システム制御バス418が接続される。そして、プロセッサバス111とシステムバス113の状態を監視する。又、メモリアドレスバス414、メモリ制御バス415、及びデータバス制御信号412を出力して、メインメモリ104及びデータバススイッチ402を制御する。データバス制御信号412については後で詳述する。

【0037】バス・メモリ接続コントローラ401は、プロセッサバス111からプロセッサメインメモリアクセスが要求された場合、プロセッサバス111とメモリバス112を連動動作させて、システムバス113を独立動作させる。更に、システムバス113からDMAが要求された場合、システムバス113とメモリバス112を連動動作させて、プロセッサバス111を独立動作させる。又、プロセッサバス111からシステムバス113へのアクセス要求、あるいはシステムバス113からプロセッサバス111へのアクセス要求があった場合は、プロセッサバス111とシステムバス113を連動動作させる。又、更にプロセッサバス111からの要求とシステムバス113からの要求が競合する場合、例えば、両方から同時にメモリアクセス要求があった場合などには、いずれか一方のバスに対してウェイト動作を行う等の調停制御を行う機能を持つ。

【0038】図5は、図4中のデータバススイッチ402の一実施例の内部構成を示す図である。図5において、507、508、509は各々プロセッサデータバス413、メモリデータバス416、システムデータバス

11

ス419に接続するデータ入出力ドライバ、501、502、503はデータラッチ回路(Latch)、504、505、506はデータセクタ(Selector)である。デコーダ回路510は、バス・メモリ接続コントローラ401が出力するデータバス制御信号420をデコードして、入出力バッファ507、508、509の出力イネーブル信号(Enable)511、512、513と、データセクタ504、505、506のセレクト信号(Select)514、515、516を生成する。

【0039】データラッチ501、502、503には  
10 各々プロセッサデータバス413、メモリデータバス416、システムデータバス419からの入力データがラッチされる。セクタ504、505、506は各々プロセッサデータバス413、メモリデータバス416、システムデータバス419への出力データを、他の2種のデータバスからの入力データから選択する。これにより、3種のデータバスのうち任意の1種からの入力データを他の2種のデータバスの両方に出力する、あるいは一方にのみデータ出力して他の一方には出力しないという制御が行うことができる。従って、データバス制御信号420によって、3種のデータバス全ての運動動作、あるいは3種のうち任意の2種の運動動作と他の1種の独立動作を行うことができる。

【0040】図6は、図4中のバス・メモリ接続コントローラ401の内部構成の一実施例を示す図である。図6において、601、602、603、604は入出力ドライバ、605、606、607、608はラッチ回路(Latch)である。又、609、610はデコーダ回路、611、612はエンコーダ回路、613は論理演算器であるシーケンサ、614はデコーダ回路である。  
30 又、615はセクタ、616はメモリ制御信号生成部、617はデータバス制御信号生成部である。

【0041】プロセッサアドレスバス411、プロセッサ制御バス412、システムアドレスバス417、システム制御バス418からの入力信号は、各々入出力ドライバ601、602、603、604を介して、ラッチ回路605、607、606、608にラッチされる。2種のアドレスバスから入力され、ラッチ回路605、606にラッチされたアドレスは、各々デコーダ回路609、610にてデコードされる。デコード結果は、2  
40 種の制御バス412、418からの信号入力であるラッチ回路607、608のデータと合わせて、各々エンコーダ回路611及び612によって、プロセッサバス111とシステムバス113の状態を示す信号にエンコードされる。これにより、バス・メモリ接続コントローラ401は、プロセッサバス111及びシステムバス113の状態を監視することができる。

【0042】エンコーダ回路611、612によりエンコードされたプロセッサバス111及びシステムバス113の状態信号は、論理演算器であるシーケンサ613  
50

12

に入力される。シーケンサ613は、2種のバス111、113の状態信号から、各々のバスへの対応、及びメモリバス112の動作を算出し、コード情報として出力する。シーケンサ613は、汎用のマイクロプロセッサや、専用のハード構成で構成される。

【0043】シーケンサ613から出力されたコード情報はデコーダ回路614によりデコードされ、入出力ドライバ601、602、603、604の出力イネーブル信号618、619、620、621、セクタ回路615のセレクト信号622、メモリ制御信号生成部616、データバス制御信号生成部617へのメモリ制御コード623、及びデータバス制御コード624、及び入出力ドライバ602、604をそれぞれ介したプロセッサ制御バス412、システム制御バス418への制御出力信号625、626として出力される。

【0044】入出力ドライバ601は、システムバス113からプロセッサバス111へのアクセスが生じた場合に、システムアドレスバス417からの入出力アドレスをプロセッサアドレスバス411に出力する。又、入出力ドライバ602は、プロセッサ制御バス412に、プロセッサバス111の仕様で定められた制御出力信号625を出力する。一方、入出力ドライバ603は、プロセッサバス111からシステムバス113へのアクセスが生じた場合に、プロセッサアドレスバス411からの入出力アドレスをシステムアドレスバス417に出力する。又、入出力ドライバ604は、システム制御バス418に、システムバス113の仕様で定められた制御出力信号626を出力する。

【0045】セクタ回路615は、プロセッサアドレスバス411とシステムアドレスバス417からアドレスが入力され、メモリバス112へのアクセスが生じた場合に、いずれか一方を選択してメモリアドレスバス414に出力する。メモリ制御信号生成部616は、コード変換回路として機能し、デコーダ回路614が出力するメモリ制御コード623をメモリバス112の仕様で定められたメモリ制御信号に変換してメモリ制御バス415に出力する。データバス制御信号生成部617もコード変換回路として機能し、デコーダ回路614が出力するデータバス制御コード624を、データバススイッチ402に対するデータバス制御信号420に変換して出力する。

【0046】以上詳述した三叉路接続コントローラ103内のバス・メモリ接続コントローラ401は3種のバスの接続、切離し、ウェイト等の制御を行うことができる。

【0047】引き続き、上述した三叉路接続コントローラ103内の各種データ、信号についての一実施例を図9～図19を用いて詳述する。

【0048】図9には、バス・メモリ接続コントローラ401からデータバススイッチ402へ出力されるデー

13

タバス制御信号420と、それに対応してデコーダ510でデコードされた入出力ドライバ507、508、509のエネーブル信号511、512、513、データセクタ504、505、506のセレクト信号514、515、516との関係の一例を示している。同図中、最上段のマスタ(master)、スレーブ(Slave)、リード/ライト(Read/Write)の各欄は、データ転送のマスタ・スレーブ、及びそのデータ転送がマスタからスレーブに対するリード転送かライト転送かを意味している。最上段の残りの部分には、図5中の上述の信号511~516に対応する信号名を記載した。最上段の最右欄のDT-CNTがデータバス制御信号420である。このデータバス制御信号(DT-CNT)420は本実施例では3ビットで表わされる。何も転送を行わないアイドル状態(Idle)では、DT-CNT420は0("000")である。

【0049】それぞれのエネーブル信号(DIR-P, DIR-M, DIR-S)511、512、513は、入出力ドライバ507、508、509のそれぞれが入力のとき"0"、出力のとき"1"である。セレクト信号(SEL-P)514は、セクタ504がメモリバス112側を選択するとき"0"、システムバス113側を選択するとき"1"である。又、セレクト信号(SEL-M)515は、セクタ505がプロセッサバス111側を選択するとき"0"、システムバス113側を選択するとき"1"である。更に、セレクト信号(SEL-S)516は、セクタ506がプロセッサバス111側を選択するとき"0"、メモリバス112側を選択するとき"1"である。本図により、データバススイッチ402のデコーダ510に入力されるDT-CNT420により、データバススイッチ402内のセクタ504~506、入出力ドライバ507~509の制御をそれぞれ実行でき、三種のバスの接続方向制御が可能となる。

【0050】次に、本発明における三叉路接続コントローラ103の動作を図4の三叉路接続コントローラ103に接続されるバスを詳細化した図19の構成図と図17、図18のタイミングチャートを用いて説明する。

【0051】これらの図において、図1、図4と同一の符号は同一物を意味している。1910、1911はそれぞれ先のシステムバス接続デバイス105に対応するDMAマスタI/Oデバイス、スレーブI/Oデバイスを示す。図19中で、アクノレッジ信号(ACK)1902はプロセッサ101への応答信号であり、リード時はデータの確定を、ライト時はデータの取り込みを示す。

【0052】ロウアドレスストロブ信号(RAS)1903、カラムアドレスストロブ信号(CAS)1904、ライトイネーブル信号(WE)1905はそれぞれメインメモリ104のメモリ制御バス415に送られ

14

るメモリコントロール信号の一部である。アドレス選択信号(AD-MPX)はバス・メモリ接続コントローラ401の内部信号であり、本信号がハイのときロウアドレスを、ローのときカラムアドレスを出力するものである。システムバスグランド信号(S-GNT)1906は、システムバス接続デバイス105であり、DMAマスタになりうるI/Oデバイス1910にシステムバス113を使用許可を与え、DMAマスタになることを可能にするものである。アドレス/データストロブ信号(S-STB)1907はシステムバスマスタが出力するもので、DMAアクセスのときはDMAマスタI/Oデバイス1910が出力し、プロセッサI/Oアクセスのときは、バス・メモリ接続コントローラ401が出力し、リード時はアドレスの、ライト時はアドレスとデータ両方のそれぞれの確定期間出力される。システムバススレーブ応答信号(S-ACK)1908は、システムバススレーブの応答信号であり、DMAアクセスの時は、バス・メモリ接続コントローラ401が出力し、プロセッサシステムバスI/Oアクセスの時はスレーブI/Oデバイス1911が出力する。リード時はデータの確定と、ライト時はデータの取り込みを示す。S-GNT1906、S-STB1907、S-ACK1908、及びリード/ライトの別を示す信号(S-READ)1909とはシステム制御バス418に送られる制御出力信号626に属する。システムバスアドレス(S-ADD)はシステムアドレスバス417に送られる。なお、システムバスリード/ライト信号(S-READ)はハイ(H)のときリードを示す。

【0053】図16はバスメモリ接続コントローラ401のシーケンサ613の状態遷移の一実施例を示す図である。又、図10~図15は図16に示した各転送種のそれぞれの状態遷移の複数のステップで出力する信号を示す図であり、それぞれプロセッサメインメモリリード、プロセッサメインメモリライト、プロセッサシステムバスデバイスリード、プロセッサシステムバスデバイスライト、DMAリード、DMAライトに対応する。"O"印が信号のアサートを示し、S-READ1909の"H"、"L"はそれぞれ信号値ハイ、ローを出力する意味である。又、信号名の上部に記載されたバーは信号が負論理であることを意味する。

【0054】図16において、図12に対応するプロセッサシステムバスデバイス・リードのステップS2では、システムバススレーブのデータ確定待ちが行われる。図13に対応するプロセッサシステムバスデバイスライトのステップS3では、ライト応答待ちが行われる。図14に対応するDMAリードのステップS1では、S-STB受信待ちが行われ、S-STBを受けたときのリード/ライト判定に従って次のステップS2への遷移先が定まる。又、DMAリードのステップS8、DMAライトのS5では、DMAマスタのS-STBの

ネゲート待ちが行われる。

【0055】図9～図16により規定される転送のタイムチャートである図17、図18のタイムチャート中に( )で示したものは、各々の信号の出力元である。

【0056】すなわち、(BMCC)はバスメモリ接続コントローラ401が出力することを、又(I/O)はDMAマスタI/Oデバイス1910、又はプロセッサシステムバスI/OアクセスのスレーブとなったスレーブI/Oデバイス1911をそれぞれ示す。

【0057】さて、図5に示すデータバススイッチ402のラッチ回路501、502、503はエッジトリガフリップフロップにより構成され、図17、図18に示すクロック(CLK)の立ち上がりでラッチされる。スタート信号(START)1901はプロセッサ1の出力する転送起動信号であり、これが出力されているクロック(CLK)の立ち上がりでアドレスをラッチして使用する。その他では、M-ADDはメモリアドレスバス414に送られるメモリアドレスを示す。又、P-Dat a、M-data、S-dataはそれぞれプロセッサデータバス413、メモリデータバス416、システムデータバス419に送られたデータを、示す。更に、P-Latch、M-Latch、S-Latchはそれぞれラッチ501、502、503にラッチされたデータを示す。

【0058】図13で示したプロセッサシステムバスデバイスライトのステップS3では、S-ACKアサート待ちによるウェイトが1サイクル入っている。又、図12で示したプロセッサシステムバスデバイスリードのステップS2で、S-ACKアサート待ちによりウェイトが2サイクル入っている。そして、図14に示したDMAリードのステップS1でS-STBアサート待ちによるウェイトが1サイクル、ステップS3でS-STBネゲート待ちによるウェイトが1サイクル入っていることが図16から明らかである。

【0059】図18で、DMAライトのステップS1では、やはりS-STBアサート待ちによるウェイトが1サイクル入っているが、ステップS5でのネゲート待ちはノーウェイトで実行されている。

【0060】以上、詳述してきた図9～図18に示した方法で、図4、図5、図6のバスメモリ接続コントローラ401、データバススイッチ402を動作させることで、図1に示した三叉路接続コントローラ103の一実施例の動作が理解された。

【0061】図7に示した四叉路接続コントローラ705などの構成、動作について、ここでは詳述しないが、上述の三叉路接続コントローラの構成・動作から容易に理解される。

【0062】又、上述した図4以下の説明においては、プロセッサバス111、メモリバス112、システムバス113が全てアドレス・データ分離型バスになっているが、本発明は、アドレス・データ多重型バスにも適用

できることは言うまでもない。例えば、プロセッサバス111とシステムバス113がアドレス・データ多重化バスである場合には、図4において、プロセッサアドレスバス411とプロセッサデータバス413、及びシステムアドレスバス417とシステムデータバス419が各々1本のバスになり、バス・メモリ接続コントローラ401とデータバススイッチ402の両方に接続されることになる。その他、本発明の基本概念の下、上述した実施例にかかわらず、数々の変形がなされうことは言

をまたない。

【0063】

【発明の効果】以上、詳述してきた本発明によれば、プロセッサバス、メモリバス、及びシステムバスの少なくとも3種複数本のバスの内、任意の2種が連動動作している間、他の1種が独立動作することができるので、各バスの使用効率を最大にするという効果がある。特に、プロセッサバス上に複数のプロセッサが接続されている場合、又はキャッシュメモリシステムが接続されている場合等に、DMA動作と複数プロセッサ間、又はプロセッサとキャッシュメモリシステム間のデータ転送を同時に行え、又、プロセッサメインメモリアクセスと複数のシステムバス接続デバイス間のデータ転送を同時に行えるなどの効果がある。

【図面の簡単な説明】

【図1】本発明のバスシステムの第1の実施例を示す概略構成図。

【図2】従来技術のバスシステムの概略構成図。

【図3】従来技術のバスシステムの他の概略構成図。

【図4】本発明の第1の実施例における三叉路接続コントローラ103の一実施例を示す概略構成図。

【図5】本発明の第1の実施例における三叉路接続コントローラ103の一実施例におけるデータバススイッチ402の一実施例を示すブロック図。

【図6】本発明の第1の実施例における三叉路接続コントローラ103の一実施例におけるバス・メモリ接続コントローラ401の一実施例を示すブロック図。

【図7】本発明のバスシステムの第2の実施例を示す概略構成図。

【図8】本発明のバスシステムの第3の実施例を示す概略構成図。

【図9】図5に示した本発明のデータバススイッチ402内のデコード510でデコードされるデータバス制御信号420とそのデコード結果の対応を示す図。

【図10】本発明の実施例におけるプロセッサメインメモリリードの場合の状態遷移の各ステップにおけるデータバス制御信号420と各種信号の関係を示す図。

【図11】本発明の実施例におけるプロセッサメインメモリライトの場合の状態遷移の各ステップにおけるデータバス制御信号420と各種信号の関係を示す図。

【図12】本発明の実施例におけるプロセッサシステム

17

バスデバイスリードの場合の状態遷移の各ステップにおけるデータバス制御信号420と各種信号の関係を示す図。

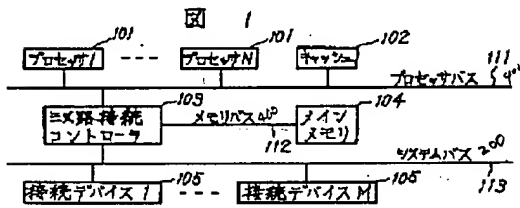
【図 13】本発明の実施例におけるプロセッサシステムバスデバイスライトの場合の状態遷移の各ステップにおけるデータバス制御信号 420 と各種信号の関係を示す図。

【図 14】本発明の実施例におけるDMAリードの場合の状態遷移の各ステップにおけるデータバス制御信号420と各種信号の関係を示す図。

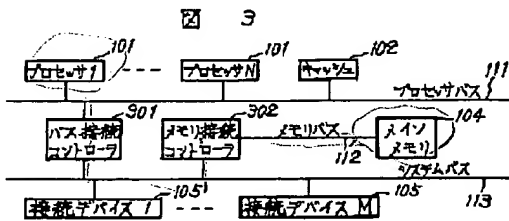
【図 15】本発明の実施例におけるDMAライトの場合の状態遷移の各ステップにおけるデータバス制御信号420と各種信号の関係を示す図。

【図 16】図 6 に示すバス・メモリ接続コントローラ 401 内のシーケンサ 601 の状態遷移の一実施例を示す遷移図。

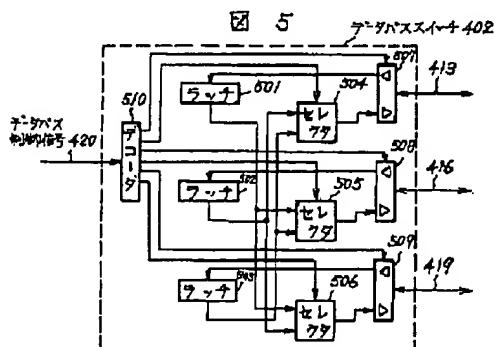
【图 1】



【图 3】



【图 5】



18

【図17】図9～図16により規定されるデータ転送の一例を示すタイムチャート図。

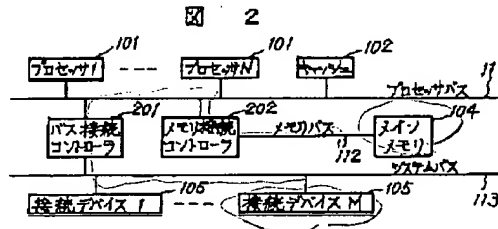
【図18】図9～図16により規定されるデータ転送の一例を示す他のタイムチャート図。

【図19】図17、図18にあらわれる信号を示した図4における三叉路接続コントローラ103と各バス111、112、113との接続を具体的に示した構成図。

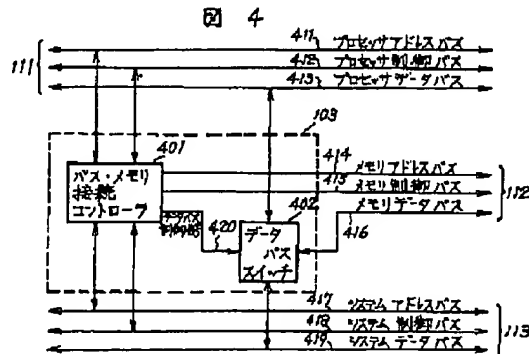
【符号の説明】

- 1 0 1…N個のプロセッサ、
- 1 0 2…キャッシュメモリシステム、
- 1 0 3…三叉路接続コントローラ、
- 1 0 4…メインメモリ、
- 1 0 5…M個のシステムバス接続デバイス、
- 1 1 1…プロセッサバス、
- 1 1 2…メモリバス、
- 1 1 3…システムバス。

【図 2】



【図4】



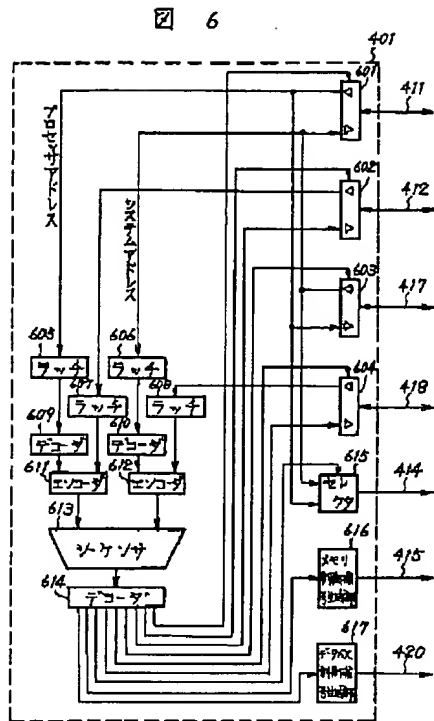
【图 1 1】

11

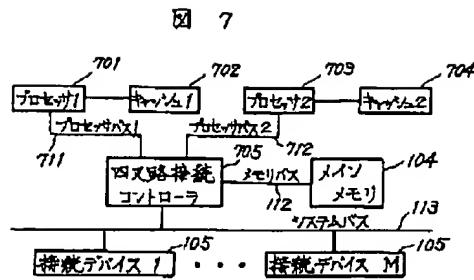
プロセッサ主記憶バイト

|    | DT ENT | ACK | RAS | CA9 | WE | AD MIP | S_GNT | S_STB | S_ACK | S_ADD | S_READ |
|----|--------|-----|-----|-----|----|--------|-------|-------|-------|-------|--------|
| S1 | o      |     |     |     |    |        |       |       |       |       |        |
| S2 | o      |     |     |     |    |        |       |       |       |       |        |
| S3 | o      |     | o   |     |    |        |       |       |       |       |        |
| S4 | o      |     | o   |     | o  | o      |       |       |       |       |        |
| S5 | o      | o   | o   | o   | o  | o      |       |       |       |       |        |
| S6 |        |     | o   | o   | o  |        |       |       |       |       |        |

【図6】



【図7】

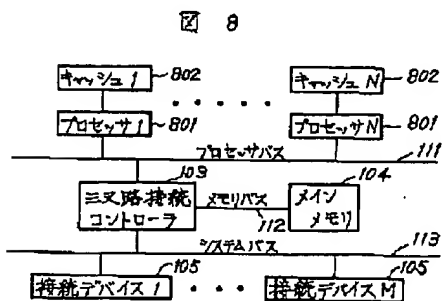


【図9】

図 9

| マスタ        | スレーブ   | データ/アドレス | DIR.P | DIR.M | DIR.S | SEL.P | SEL.M | SEL.S | DT.CNT |
|------------|--------|----------|-------|-------|-------|-------|-------|-------|--------|
| 記号         |        |          | 511   | 512   | 513   | 514   | 515   | 516   | 420    |
| アイドル       |        |          | 0     | 0     | 0     | 0     | 0     | 0     | 0      |
| プロセッサ      | 主記憶    | R        | 1     | 0     | 0     | 0     | 0     | 0     | 1      |
| プロセッサ      | 主記憶    | W        | 0     | 1     | 0     | 0     | 0     | 0     | 2      |
| プロセッサ      | システムバス | R        | 1     | 0     | 0     | 1     | 0     | 0     | 3      |
| プロセッサ      | システムバス | W        | 0     | 0     | 1     | 0     | 0     | 0     | 4      |
| システムバス I/O | 主記憶    | R        | 0     | 0     | 1     | 0     | 0     | 1     | 5      |
| システムバス I/O | 主記憶    | W        | 0     | 1     | 0     | 0     | 1     | 0     | 6      |

【図8】



【図10】

図 10

プロセッサ主記憶リード

|    | DT.CNT | ACK | RAS | CAS | WE | LD.MPX | S.GNT | S.STB | S.ACK | S.ADDS | S.READ |
|----|--------|-----|-----|-----|----|--------|-------|-------|-------|--------|--------|
| S1 | 0      |     |     |     |    |        |       |       |       |        |        |
| S2 | 0      |     |     |     |    |        |       |       |       |        |        |
| S3 | 0      |     | 0   |     |    |        |       |       |       |        |        |
| S4 | 0      |     | 0   |     |    | 0      |       |       |       |        |        |
| S5 | 0      |     | 0   | 0   |    | 0      |       |       |       |        |        |
| S6 | 0      |     | 0   | 0   |    | 0      |       |       |       |        |        |
| S7 | 0      | 0   |     |     |    | 0      |       |       |       |        |        |
| S8 |        |     |     |     |    |        |       |       |       |        |        |

【図12】

図 12

プロセッサシステムバス I/O リード

|    | DT.CNT | ACK | RAS | CAS | WE | LD.MPX | S.GNT | S.STB | S.ACK | S.ADDS | S.READ |
|----|--------|-----|-----|-----|----|--------|-------|-------|-------|--------|--------|
| S1 | 0      |     |     |     |    |        |       |       |       | 0      | H      |
| S2 | 0      |     |     |     |    |        |       | 0     |       | 0      | H      |
| S3 | 0      | 0   |     |     |    |        |       |       |       |        | H      |
| S4 |        |     |     |     |    |        |       |       |       |        |        |

【図13】

図 13

プロセッサ システムバス I/O ライト

|    | DT_CMT | ACK | RAS | CAS | WE | AD_MPX | S_RNT | S_STB | S_ACK | S_ADD | S_READ |
|----|--------|-----|-----|-----|----|--------|-------|-------|-------|-------|--------|
| S1 | ○      |     |     |     |    |        |       |       |       | ○     | L      |
| S2 | ○      |     |     |     |    |        |       |       |       | ○     | L      |
| S3 | ○      |     |     |     |    |        |       | ○     |       | ○     | L      |
| S4 |        | ○   |     |     |    |        |       |       |       |       |        |

【図14】

図 14

DMAリ-ド

|    | DT_CMT | ACK | RAS | CAS | WE | AD_MPX | S_RNT | S_STB | S_ACK | S_ADD | S_READ |
|----|--------|-----|-----|-----|----|--------|-------|-------|-------|-------|--------|
| S1 | ○      |     |     |     |    |        | ○     |       |       |       |        |
| S2 | ○      |     |     |     |    |        | ○     |       |       |       |        |
| S3 | ○      |     | ○   |     |    |        | ○     |       |       |       |        |
| S4 | ○      |     | ○   |     |    | ○      | ○     |       |       |       |        |
| S5 | ○      |     | ○   | ○   |    | ○      | ○     |       |       |       |        |
| S6 | ○      |     | ○   | ○   |    | ○      | ○     |       |       |       |        |
| S7 | ○      |     | ○   | ○   |    | ○      | ○     |       |       |       |        |
| S8 | ○      |     | ○   | ○   |    | ○      | ○     |       | ○     |       |        |
| S9 |        |     |     |     |    |        |       |       |       |       |        |

【図15】

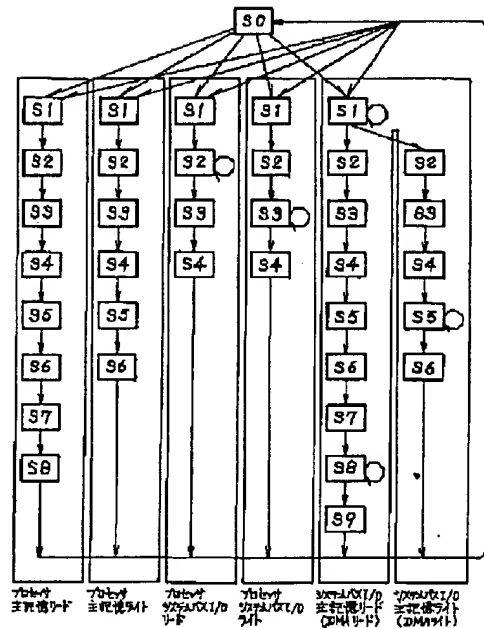
図 15

DMAライト

|    | DT_CMT | ACK | RAS | CAS | WE | AD_MPX | S_RNT | S_STB | S_ACK | S_ADD | S_READ |
|----|--------|-----|-----|-----|----|--------|-------|-------|-------|-------|--------|
| S1 | ○      |     |     |     |    |        | ○     |       |       |       |        |
| S2 | ○      |     |     |     |    |        | ○     |       |       |       |        |
| S3 | ○      |     | ○   |     |    |        | ○     |       |       |       |        |
| S4 | ○      |     | ○   |     | ○  | ○      | ○     |       |       |       |        |
| S5 | ○      |     | ○   | ○   | ○  | ○      | ○     |       | ○     |       |        |
| S6 |        |     | ○   | ○   | ○  |        |       |       |       |       |        |

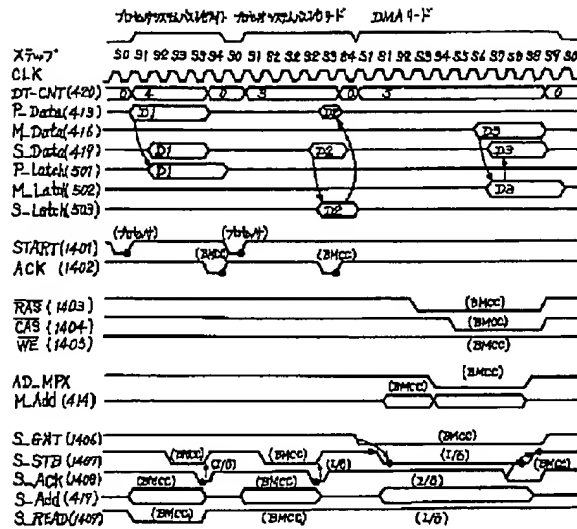
【図16】

図 16



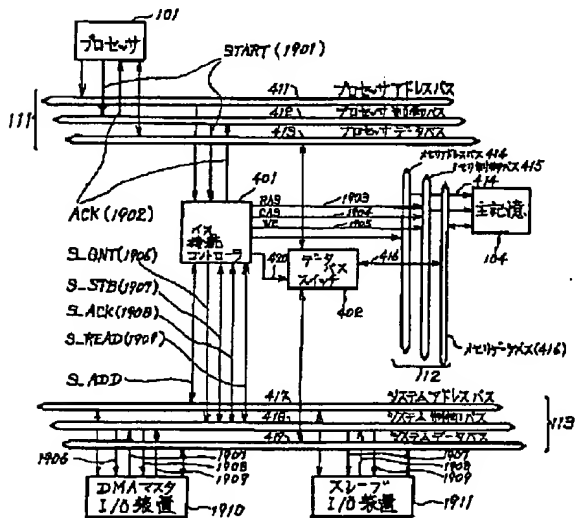
【図17】

図 17



【図19】

図 19



フロントページの続き

(72)発明者 木村 光一  
 神奈川県横浜市戸塚区吉田町292番地株式  
 会社日立製作所マイクロエレクトロニクス  
 機器開発研究所内

(72)発明者 川口 仁  
 神奈川県横浜市戸塚区吉田町292番地株式  
 会社日立製作所マイクロエレクトロニクス  
 機器開発研究所内

(72)発明者 油野 一晴  
 茨城県日立市大みか町五丁目2番1号株式  
 会社日立製作所大みか工場内

(72)発明者 小林 一司  
神奈川県海老名市下今泉810番地株式会社  
日立製作所オフィスシステム設計開発セン  
タ内

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第6部門第3区分  
 【発行日】平成11年(1999)7月2日

【公開番号】特開平4-227557  
 【公開日】平成4年(1992)8月17日  
 【年通号数】公開特許公報4-2276  
 【出願番号】特願平3-105536  
 【国際特許分類第6版】

G06F 13/16 510  
 13/36 520  
 13/40 310

【F1】

G06F 13/16 510  
 13/36 520 D  
 13/40 310

【手続補正書】

【提出日】平成10年5月8日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正内容】

【発明の名称】 情報処理装置

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】プロセッサと、主記憶メモリと、入出力デバイスと、該プロセッサと接続したプロセッサバスと、該主記憶メモリに接続したメモリバスと、該入出力デバイスと接続したシステムバスとを有する情報処理装置において、該プロセッサバスと該メモリバスと該システム\*

\*バスと接続しこれらのバスを経て該プロセッサと該主記憶メモリと該入出力デバイスとの間でのデータの転送を制御する接続装置を備えており、該接続装置は、該プロセッサと該主記憶メモリとの間で第1のデータ信号および第1のアドレス信号を転送するとともに該入出力デバイスに第1のデータ信号および第1のアドレス信号を転送しない第1のモードと、該主記憶メモリと該入出力デバイスとの間で第2のデータ信号および第2のアドレス信号を転送するとともに該プロセッサに第2のデータ信号および第2のアドレス信号を転送しない第2のモードと、該入出力デバイスと該プロセッサとの間で第3のデータ信号および第3のアドレス信号を転送するとともに該主記憶メモリに第3のデータ信号および第3のアドレス信号を転送しない第3のモードとからなるモードのいずれかに制御することを特徴とする情報処理装置。

【請求項2】該プロセッサバスには少なくとも一つのキャッシュメモリが接続されていることを特徴とする請求項1記載の情報処理装置。

【手続補正書】

【提出日】平成11年1月18日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】プロセッサと、主記憶メモリと、入出力デバイスと、該プロセッサと接続したプロセッサバスと、該主記憶メモリに接続したメモリバスと、該入出力デバイスと接続したシステムバスとを有する情報処理装置に

において、該プロセッサバスと該メモリバスと該システムバスと接続し、これらのバスを経て該プロセッサと該主記憶メモリと該入出力デバイスとの間でのデータ転送を行う接続装置を備えており、該接続装置は、該プロセッサと該主記憶メモリとの間で、該プロセッサバスと該メモリバスを用いて第1のデータ信号および第1のアドレス信号を転送するとともに、該入出力デバイスに該第1のデータ信号および該第1のアドレス信号を転送しない第1のモードと、該主記憶メモリと該入出力デバイスとの間で、該メモリバスと該システムバスを用いて、第2のデータ信号および第2のアドレス信号を転送すると

もに、該プロセッサに該第2のデータ信号および該第2のアドレス信号を転送しない第2のモードと、該入出力デバイスと該プロセッサとの間で、該システムバスと該プロセッサバスを用いて、第3のデータ信号および第3のアドレス信号を転送するとともに、該主記憶メモリに該第3のデータ信号および該第3のアドレス信号を転送しない第3のモードとからなるモードのいずれか1つのモードでデータの転送を行うことを特徴とする情報処理

装置。

【請求項2】該プロセッサバスには少なくとも一つのキャッシュメモリが接続されていることを特徴とする請求項1記載の情報処理装置。

【請求項3】該プロセッサには少なくとも一つのキャッシュメモリが接続されていることを特徴とする請求項1記載の情報処理装置。

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**